

PCT/KR 03/02460
RO/KR 14. 11. 2003

RECD 12 DEC 2003

WIPO

대한민국 특허청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0070708
Application Number

출원년월일 : 2002년 11월 14일
Date of Application NOV 14, 2002

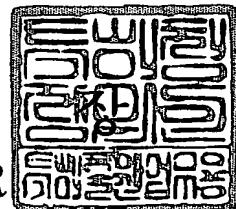
PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 11 월 14 일



특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.11.14
【발명의 명칭】	박막 트랜ジ스터 기판의 다결정 규소 박막 트랜ジ스터 및 그의 형성 방법
【발명의 영문명칭】	poly silicon thin film transistor and method of fabricating thereof in thin film transistor array panel
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근 , 박종하
【포괄위임등록번호】	2002-036528-9
【발명자】	
【성명의 국문표기】	정우석
【성명의 영문표기】	CHUNG, WOO SUK
【주민등록번호】	750119-1057140
【우편번호】	431-050
【주소】	경기도 안양시 동안구 비산동 328-2번지 파크아파트 A동 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	황장원
【성명의 영문표기】	HWANG, CHANG WON
【주민등록번호】	690105-1344217
【우편번호】	449-843
【주소】	경기도 용인시 수지읍 상현리 상현마을 현대5차아파트 204동 2003호
【국적】	KR

100-070708

출력 일자: 2003/12/3

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
유미특허법인 (인)

【수수료】

【기본출원료】	20	면	29,000 원
【가산출원료】	1	면	1,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】		30,000 원	
【첨부서류】		1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명에 따른 박막 트랜지스터 기판의 다결정 규소 박막 트랜지스터는 절연 기판, 절연 기판 위에 형성되어 있는 N형 및 P형 활성층, N형 활성층과 일부 중첩하는 제1 게이트 배선, P형 활성층과 일부 중첩하는 제2 게이트 배선, N형 및 P형 활성층과 일부 중첩하는 제3 게이트 배선을 포함하는 게이트 배선, 게이트 배선과 절연되는 데이터 배선을 포함하고, 제1, 2, 3 게이트 배선은 각각 활성층과 중첩하는 제1 부분, 활성층과 중첩하지 않는 제2 부분, 데이터 배선과 동일한 층에 형성되며 제1 부분과 제2 부분을 연결하는 게이트 연결부를 포함한다.

【대표도】

도 3a

【색인어】

구동회로, 박막트랜지스터, 이온도핑, 정전기

【명세서】**【발명의 명칭】**

박막 트랜지스터 기판의 다결정 규소 박막 트랜지스터 및 그의 형성 방법{poly silicon thin film transistor and method of fabricating thereof in thin film transistor array panel}

【도면의 간단한 설명】

도 1은 정전기에 의해 활성층이 파괴된 모습을 찍은 사진이다.

도 2는 본 발명에 따른 박막 트랜지스터 기판의 개략적인 배치도이다.

도 3a는 도 2의 구동 회로부(B)에 형성되는 다결정 규소 박막 트랜지스터의 배치도이다.

도 3b는 도 3a의 IIIb-IIIb'선에 대한 단면도이다.

도 4a 내지 도 6a는 본 발명의 실시예에 따라 다결정 규소 박막 트랜지스터를 제조하는 방법을 순서대로 도시한 배치도이다.

도 4b 내지 도 6b는 각각 도 4a 내지 도 6a의 각 단면선에 대한 단면도이다.

※도면의 주요 부분에 대한 부호의 설명※

110 : 기판

121a~123f : 게이트 배선

151a, 151b, 152a, 152b : 활성층

161a~161d, 162a~161h : 접촉구

170a~170d : 게이트 배선

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <1> 본 발명은 박막 트랜지스터 기판의 제조 방법으로 특히 다결정 규소 박막 트랜지스터 기판의 제조 방법에 관한 것이다.
- <2> 박막 트랜지스터 기판은 액정 표시 장치나 유기 EL(electro luminescence) 표시 장치 등에서 각 화소를 독립적으로 구동하기 위한 회로 기판으로써 사용된다. 박막 트랜지스터 기판은 주사 신호를 전달하는 주사 신호 배선 또는 게이트 배선과 화상 신호를 전달하는 화상 신호선 또는 데이터 배선이 형성되어 있고, 게이트 배선 및 데이터 배선과 연결되어 있는 박막 트랜지스터, 박막 트랜지스터와 연결되어 있는 화소 전극, 게이트 배선을 덮어 절연하는 게이트 절연층 및 박막 트랜지스터와 데이터 배선을 덮어 절연하는 보호층 등으로 이루어져 있다. 이러한 박막 트랜지스터는 게이트 배선을 통하여 전달되는 주사 신호에 따라 데이터 배선을 통하여 전달되는 화상 신호를 화소 전극에 전달 또는 차단하는 스위칭 소자이다.
- <3> 박막 트랜지스터는 다결정 규소 또는 비정질 규소를 이용하여 형성할 수 있는데 그 중에서도 다결정 규소를 사용하는 박막 트랜지스터 기판은 그 자체에 게이트 및 데이터 구동 회로를 형성할 수 있어서 칩을 별도로 장착하는 불편과 비용을 절감할 수 있다.
- <4> 다결정 규소 박막 트랜지스터 기판에서 구동 회로를 이루는 기본 소자는 일반적으로 박막 트랜지스터(TFT)를 기반으로 한다. 이러한 구동 회로는 별도의 회로로 부착하지 않고 박막 트랜지스터와 동시에 기판 위에 형성한다. 여기서 구동 회로에는 N형 박막 트랜지스터와 P형 박막 트랜지스터가 모두 형성되는데 이들을 구분하는 것은 다결정 규소에 이온을 도핑하는 공

정시 N형 불순물을 사용하는지 아니면 P형 불순물을 도핑하는지에 따라서 결정된다. 일반적으로 N형 불순물로는 P나 As 등의 도너 타입의 이온을 도핑하고, P형 불순물로는 B 등의 억셉터 타입의 이온을 도핑한다.

- <15> 이온 도핑은 두번 진행되는데 그중 먼저 이온 도핑을 할 때는 게이트 배선을 마스크로 불순물을 주입하게 된다. 이때 게이트 배선은 먼저 도핑되는 이온에 노출된다. 따라서 이온 주입에 의한 전하가 게이트 배선에 축적되어 인접하는 게이트 배선과의 사이에서 정전 파괴 현상이 발생한다. 이때 게이트 배선의 크기가 다를 경우 전압차가 더욱 크게 형성되기 때문에 정전 파괴 현상은 더욱 심해지게 된다.
- <16> 도 1은 종래의 게이트 패턴 사이에 방전으로 인한 정전 파괴가 발생된 실예를 나타내는 공정 기판의 일부분의 사진이다.
- <17> 활성층과 중첩되며 상하에 형성되어 있는 긴 게이트 배선과 이들 사이에 형성되어 있는 D형태의 작은 게이트 배선이 형성되어 있다. 동그라미 안에서 정전 파괴에 의해 활성층이 파괴된 것을 확인할 수 있다.
- <18> 이 파괴부위에서 게이트 배선과 활성층 사이에 대개 게이트 절연층이 손상되어 절연 파괴가 생기며, 방전시에 반도체층을 타고 대량의 전류가 일시에 흐르기 때문에 반도체층이 일부 녹아서 뭉치거나(Agglomeration) 휘발되어 없어진다.
- <19> 이후에 데이터 배선을 형성한 후 발생하는 정전기는 정전기 다이오드를 통해 보호해 주지만 데이터 배선을 형성하기 전까지 발생되는 정전기에 대해서는 보호해줄 방안이 없다.
- <20> 따라서 이러한 문제를 방지하기 위해서 게이트 배선을 설계할 때 인접하는 두 패턴간의 면적 차이를 최소화하는 방법이 있으나 게이트 배선을 일정한 면적을 가지도록 하는 것은 설계

적인 한계가 있다. 이러한 방법은 어느 정도의 불량률을 감소시키는데는 효과적이나 이온 도핑량의 국부적인 차이에 의해 패턴간에 정전기 불량이 발생할 수 있기 때문에 완벽하다고 볼 수는 없다.

【발명이 이루고자 하는 기술적 과제】

<21> 따라서 상기한 과제를 달성하기 위해 본 발명은 이온 도핑시 발생하는 정전 파괴를 방지할 수 있는 박막 트랜지스터 기판 및 그의 제조 방법을 제공한다.

【발명의 구성 및 작용】

<22> 상기한 목적을 달성하기 위해 본 발명에 따른 박막 트랜지스터 기판의 다결정 규소 박막 트랜지스터는 절연 기판, 절연 기판 위에 형성되어 있는 N형 및 P형 활성층, N형 활성층과 일부 중첩하는 제1 게이트 배선, P형 활성층과 일부 중첩하는 제2 게이트 배선, N형 및 P형 활성층과 일부 중첩하는 제3 게이트 배선을 포함하는 게이트 배선, 게이트 배선과 절연되는 데이터 배선을 포함하고, 제1, 2, 3 게이트 배선은 각각 활성층과 중첩하는 제1 부분, 활성층과 중첩하지 않는 제2 부분, 데이터 배선과 동일한 층에 형성되며 제1 부분과 제2 부분을 연결하는 게이트 연결부를 포함한다.

<23> 여기서 N형 활성층은 제1 및 제2 N형 활성층, P형 활성층은 제1 및 제2 P형 활성층으로 이루어지며, 제1 부분의 제1 N형 활성층과 중첩하는 부분과 제2 N형 활성층과 중첩하는 부분을 연결하는 제1 연결부, 제1 부분의 제1 P형 활성층과 중첩하는 부분과 제2 P형 활성층과 중첩하는 부분을 연결하는 제2 연결부를 더 포함한다.

<24> 그리고 N형 및 P형 활성층과 게이트 배선 사이에 형성되어 있는 게이트 절연층, 게이트 배선과 데이터 배선 사이에 형성되며 제1 및 제2 접촉구를 가지도록 형성되어 있는 층간 절연

층을 더 포함하고, 게이트 연결부와 제1 및 제2 연결부는 층간 절연층에 형성되어 있는 접촉구를 통해 연결된다.

<25> 상기한 목적을 달성하기 위한 본 발명에 따른 다결정 박막 트랜지스터의 다결정 규소 박막 트랜지스터 형성 방법은 절연 기판 위에 차단층, 비정질 규소층을 적층하는 단계, 비정질 규소층을 패터닝한 후 열처리하여 제1 및 제2 다결정 규소 패턴을 형성하는 단계, 제1 및 제2 다결정 규소 패턴 위에 게이트 절연층을 형성하는 단계, 게이트 절연층 위에 금속층을 형성한 후 패터닝하여 게이트 배선의 제1 및 제2 부분을 형성하는 단계, 제1 다결정 규소 패턴에 N형 불순물을 도핑하여 N형 활성층을 형성하는 단계, 제2 다결정 규소 패턴에 P형 불순물을 도핑하여 P형 활성층을 형성하는 단계, N형 및 P형 활성층 위에 복수개의 접촉구를 가지는 층간 절연층을 형성하는 단계, 층간 절연층 위에 금속층을 형성한 후 패터닝하여 접촉구를 통해 활성층과 연결되는 데이터 배선, 접촉구를 통해 제1 부분과 제2 부분을 연결하기 위한 게이트 연결부를 형성하는 단계를 포함한다.

<26> 여기서 제1 부분은 N형 활성층 또는 P형 활성층과 중첩되도록 형성하고, 제2 부분은 N형 활성층 및 P형 활성층과 중첩되지 않도록 형성한다.

<27> 이하 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<28> 이제 본 발명의 실시예를 도면과 함께 상세히 설명한다. 도 2는 본 발명을 설명하기 위한 박막 트랜지스터 기판의 개략적인 배치도이다.

- <29> 도시한 바와 같이, 박막 트랜지스터 기판은 화소 전극과 이를 스위칭하기 위한 박막 트랜지스터가 형성되어 있는 표시 영역(A)과 표시 영역(A)으로 공급되는 신호를 제어하기 위한 구동 회로부(B)로 이루어진다. 구동 회로부(B)에는 신호 제어를 위하여 다결정 규소 박막 트랜지스터로 형성되는 회로 소자가 형성된다.
- <30> 구동 회로부(B)의 다결정 규소 박막 트랜지스터의 구조를 좀 더 구체적으로 설명한다. 도 3a는 도 2의 구동 회로부(B)에 형성되는 다결정 규소 박막 트랜지스터의 배치도이고, 도 3b는 도 3a의 IIIb-IIIb'선에 대한 단면도이다.
- <31> 도시한 바와 같이, 투명한 절연 기판(110) 위에 차단층(111)이 형성되어 있다. 그리고 차단층(111) 위에 N형 및 P형 활성층(151a, 151b, 152a, 152b)이 형성되어 있다. N형 및 P형 활성층(151a, 151b, 152a, 152b)은 각각 제1 및 제2 N형 활성층(151a, 151b), 제1 및 제2 P형 활성층(152a, 152b)으로 이루어진다.
- <32> N형 및 P형 활성층(151a, 151b, 152a, 152b) 위에 게이트 절연층(140)이 형성되어 있고, 게이트 절연층(140)의 소정 영역에 게이트 배선(121, 122, 123)이 형성되어 있다.
- <33> 게이트 배선(121, 122, 123)은 제1 N형 활성층(151a) 또는 제2 N형 활성층(151b)과 일부 중첩하는 제1 게이트 배선(121), 제1 P형 활성층(152a) 또는 제2 P형 활성층(152b)과 일부 중첩하는 제2 게이트 배선(122), 제1 및 제2 N형 활성층(151a, 151b), 제1 및 제2 P형 활성층(152a, 152b)과 일부 중첩하는 제3 게이트 배선(123)으로 이루어진다.
- <34> 제1 및 제2 게이트 배선(121, 122)은 일방향으로 길게 형성되고, 제3 게이트 배선(123)은 N형 활성층(151a, 151b) 및 P형 활성층(152a, 152b)과 동시에 중첩하므로 L자 형태로 형성되어 있다.

- <35> 또한, 제1 및 제2 게이트 배선(121, 122)은 각각 활성층(151a, 151b, 152a, 152b)과 중첩하는 제1 부분(121a, 122a), 활성층(151a, 151b, 152a, 152b)과 중첩하지 않는 제2 부분(121b, 122b), 그리고 제1 부분(121a, 122a,) 및 제2 부분(121b, 122b)을 연결하기 위한 게이트 연결부(121c, 122c)로 이루어진다.
- <36> 제3 게이트 배선(123)도 제1 및 제2 게이트 배선(121, 122)과 같이 제1 부분(123a), 제2 부분(123b)과 이들을 연결하는 게이트 연결부(123c)를 포함한다. 그리고 제3 게이트 배선(123)은 제1 N형 활성층(151a)과 제2 N형 활성층(151b) 위의 제1 부분(121a) 사이를 연결하는 제1 연결부(123d), 제1 P형 활성층(152a)과 제2 P형 활성층(152b) 위의 제1 부분(121f) 사이를 연결하기 위한 제2 연결부(123e)를 더 포함한다.
- <37> 게이트 연결부(121a, 122a, 123a), 제1 연결부(123d), 제2 연결부(123e)는 데이터 배선과 동일한 층에 형성되어 있으며, 보호층(160)에 형성되어 있는 다수개의 접촉구(161a~161d, 162a~162h)를 통해 게이트 배선(121, 122, 123)과 연결된다.
- <38> 제1, 3, 4 접촉구(161a, 161c, 161d)는 제1 부분(121a, 122a, 123a, 123f)의 양단부를 노출하고, 제2 접촉구(161b)는 제2 부분(121b, 122b, 123b)의 일단부를 노출한다. 제5 및 제7 접촉구(162a, 162c)는 제1 N형 활성층(151a)을 노출하고, 제6 및 제8 접촉구(162b, 162d)는 제2 N형 활성층(151b)을 노출하고, 제9 및 제11 접촉구(162e, 162g)는 제1 P형 활성층(152a)을 노출하고, 제10 및 제12 접촉구(162f, 162h)는 제1 P형 활성층(152a)을 노출한다. 이때 제5 내지 제 12 접촉구(162a~162h)는 활성층(151a, 151b, 152a, 152b)의 양단과 인접하게 형성하여 게이트 배선이 접촉구 사이에 위치하도록 한다.

<39> 층간 절연층(160) 위에는 접촉구를 통해 게이트 배선(121, 122, 123)과 연결되는 게이트 연결부(121c, 122c, 123c), 제1 연결부(121d), 제2 연결부(121e)가 형성되고, 활성층(151a, 151b, 152a, 152b)과 연결되는 데이터 배선(170a~170d)이 형성되어 있다.

<40> 게이트 연결부(121c, 122c, 123c)는 제1 및 제2 접촉구(161a, 161b)를 통해 제1 내지 제3 게이트 배선(121, 122, 123)의 제1 부분(121a, 122a, 123a) 및 제2 부분(121b, 122b, 123b)을 연결한다. 그리고 제1 연결부(123d)는 제1 및 제3 접촉구(161a, 161c)를 통해 제1 N형 활성층(151a) 위에 형성되어 있는 제1 부분(123a)과 제2 N형 활성층(151b) 위에 형성되어 있는 제1 부분(123f)을 연결하고, 제2 연결부(123e)는 제1 및 제4 접촉구(161a, 161d)를 통해 제1 P형 활성층(152a) 위에 형성되어 있는 제1 부분(123a)과 제2 P형 활성층(152b) 위에 형성되어 있는 제1 부분(123f)을 연결한다.

<41> 또한, 제5 및 제6 접촉구(162a, 162b)를 통해 제1 및 제2 N형 활성층(151a, 151b)과 연결되는 Vss선(Off 전압)(170a), 제11 및 제12 접촉구(162g, 162h)를 통해 제1 및 제2 P형 활성층(152a, 152b)과 연결되는 Vdd선(On 전압)(170d), 제7 및 제9 접촉구(162c, 162e)를 통해 제1 N형 및 P형 활성층(151a, 152a)과 연결되는 Out1선(170b), 제8 및 제10 접촉구(162e, 162f)를 통해 제2 N형 및 P형 활성층(151b, 152b)과 연결되는 Out2(170c)를 포함하는 데이터 배선(170a~170d)이 형성되어 있다.

<42> 이와 같이 게이트 배선을 다수개의 부분으로 형성하면 게이트 배선에 유입되는 정전기가 활성층까지 전달되지 않으므로 정전기에 의해 활성층이 파괴되지 않는다.

<43> 이하, 첨부한 도면을 참조하여 이상 설명한 본 발명에 따른 구동 회로부의 제조 방법을 설명한다.

- <44> 도 4a 내지 도 6a는 본 발명의 실시예에 따라 박막 트랜지스터 기판의 다결정 규소 박막 트랜지스터를 제조하는 방법을 순서대로 도시한 배치도이고, 도 4b 내지 도 6b는 각각 도 4a 내지 도 6a의 각 절단선에 대한 단면도이다.
- <45> 표시 영역(A)의 제조 방법은 도시하지 않았지만 표시 영역(A)에는 게이트 배선과 데이터 배선이 교차하여 형성되어 있으며, 이들과 연결되는 박막 트랜지스터가 형성되어 있다. 다결정 박막 트랜지스터 기판에서는 구동 회로부(B)와 표시 영역(A)이 동시에 형성된다.
- <46> 도 4a 및 도 4b에 도시한 바와 같이, 투명한 절연 기판(110) 위에 차단층(111)과 비정질 규소층을 적층한다. 이후 비정질 규소층을 열처리하여 다결정 규소층을 형성한다. 열처리는 레이저를 이용하거나 로를 이용하여 가열하는 방법이 있다.
- <47> 이 후, 다결정 규소층을 패터닝하여 제1 다결정 규소 패턴(150a) 및 제2 다결정 규소 패턴(150b)을 형성한다. 여기서 표시 영역의 박막 트랜지스터를 형성하기 위한 다결정 규소 패턴(도시하지 않음)도 함께 패터닝 된다.
- <48> 도 5a 및 도 5b에 도시한 바와 같이, 제1 다결정 규소 패턴(150a) 및 제2 다결정 규소 패턴(150b) 위에 게이트 절연층(140)을 형성한다. 게이트 절연층(140)은 이산화 규소(SiO₂)나 질화 규소(SiNx)로 형성한다.
- <49> 이 후 게이트 절연층(140) 위에 금속층을 형성한 후 패터닝하여 연결부를 제외한 게이트 배선(121a, 121b, 122a, 122b, 123a, 123b, 123f)을 형성한다.
- <50> 그리고 게이트 배선(121a, 121b, 122a, 122b, 123a, 123b, 123f)을 마스크로 불순물을 주입하여 N형 활성층(151a, 151b)을 형성한다. 이후, N형 활성층(151a, 151b)이 노출되지 않도록

록 감광층 패턴(PR)을 형성한 후 제2 다결정 규소 패턴(150b)에 P형 불순물을 도핑하여 P형 활성층(152a, 152b)을 형성한다.

<51> 이때, 게이트 배선(121, 122, 123)은 다수의 부분으로 분리되어 있기 때문에 종래와 같이 다양한 정전기가 활성층으로 유입되지 않는다. 즉, 크게 형성된 제2 부분(121b, 122b, 123b)에 유입된 전하가 활성층 위에 작게 형성되어 있는 제1 부분(121a, 122a, 123a, 123f)까지 전달되지 않는다. 그리고 제1 부분(121a, 122a, 123a, 123f)은 패턴의 면적차가 작기 때문에 이온이 주입되더라도 전압차가 거의 발생하지 않으므로 활성층이 파괴되는 현상이 발생하지 않는다.

<52> 도 6a 및 도 6b에 도시한 바와 같이, 활성층(151a, 151b, 152a, 152b) 위에 층간 절연층(160)을 형성한 후 사진 식각 공정으로 활성층(151a, 151b, 152a, 152b)과 연결되는 제1 내지 제12 접촉구(161a~161d, 162a~162h)를 형성한다.

<53> 이후, 층간 절연층(160) 위에 금속층을 형성한 후 패터닝하여 데이터 배선(170a, 170b, 170c, 170d), 게이트 연결부(121c, 122c, 123c), 제1 연결부(123d) 및 제2 연결부(123e)를 형성한다(도 3a 및 3b 참조).

<54> 게이트 연결부(121c, 122c, 123c), 제1 연결부(123d) 및 제2 연결부(123e)가 접촉구에 의해 제1 및 제2 부분과 연결되어 게이트 배선이 완성된다.

<55> 본 실시예는 N형 불순물을 도핑한 후 P형 불순물을 도핑하였으나 불순물이 도핑되는 순서는 바뀌어도 무방하다. 그리고 데이터 배선(170a, 170b, 170c, 170d) 위에는 표시 영역의 형성 공정에 따라서 층간 절연층이 더 형성될 수 있다.

<56> 이상 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

【발명의 효과】

<57> 이상 기술된 바와 같이, 본 발명에 따르면 게이트 배선을 다수개의 부분으로 형성하여 활성층과 중첩하는 게이트 배선의 면적차를 최소화한다. 따라서 이온 도핑시 게이트 배선의 면적차에 의해 형성되는 전위차에 의한 정전 파괴 현상을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

절연 기판,

상기 절연 기판 위에 형성되어 있는 N형 및 P형 활성층,

상기 N형 활성층과 일부 중첩하는 제1 게이트 배선, 상기 P형 활성층과 일부 중첩하는 제2 게이트 배선, 상기 N형 및 상기 P형 활성층과 일부 중첩하는 제3 게이트 배선을 포함하는 게이트 배선,

상기 게이트 배선과 절연되는 데이터 배선을 포함하고,

상기 제1, 2, 3 게이트 배선은 각각 활성층과 중첩하는 제1 부분, 활성층과 중첩하지 않는 제2 부분, 상기 데이터 배선과 동일한 층에 형성되며 상기 제1 부분과 제2 부분을 연결하는 게이트 연결부를 포함하는 박막 트랜지스터 기판의 다결정 규소 박막 트랜지스터.

【청구항 2】

제1항에서,

상기 N형 활성층은 제1 및 제2 N형 활성층, 상기 P형 활성층은 제1 및 제2 P형 활성층으로 이루어지며,

상기 제1 부분의 상기 제1 N형 활성층과 중첩하는 부분과 상기 제2 N형 활성층과 중첩하는 부분을 연결하는 제1 연결부,

상기 제1 부분의 상기 제1 P형 활성층과 중첩하는 부분과 상기 제2 P형 활성층과 중첩하는 부분을 연결하는 제2 연결부를 더 포함하는 박막 트랜지스터 기판의 다결정 규소 박막 트랜지스터.

【청구항 3】

제1항에서,

상기 N형 및 P형 활성층과 상기 게이트 배선 사이에 형성되어 있는 게이트 절연층,

상기 게이트 배선과 상기 데이터 배선 사이에 형성되며 제1 및 제2 접촉구를 가지도록 형성되어 있는 층간 절연층을 더 포함하고,

상기 게이트 연결부와 제1 및 제2 연결부는 상기 층간 절연층에 형성되어 있는 접촉구를 통해 연결되는 박막 트랜지스터 기판의 다결정 규소 박막 트랜지스터.

【청구항 4】

절연 기판 위에 차단층, 비정질 규소층을 적층하는 단계,

상기 비정질 규소층을 패터닝한 후 열처리하여 제1 및 제2 다결정 규소 패턴을 형성하는 단계,

상기 제1 및 제2 다결정 규소 패턴 위에 게이트 절연층을 형성하는 단계,

상기 게이트 절연층 위에 금속층을 형성한 후 패터닝하여 게이트 배선의 제1 및 제2 부분을 형성하는 단계,

상기 제1 다결정 규소 패턴에 N형 불순물을 도핑하여 N형 활성층을 형성하는 단계,

상기 제2 다결정 규소 패턴에 P형 불순물을 도핑하여 P형 활성층을 형성하는 단계,

상기 N형 및 P형 활성층 위에 복수개의 접촉구를 가지는 층간 절연층을 형성하는 단계,

상기 층간 절연층 위에 금속층을 형성한 후 패터닝하여 상기 접촉구를 통해 상기 활성층과 연결되는 데이터 배선, 상기 접촉구를 통해 상기 제1 부분과 상기 제2 부분을 연결하기 위

100000070708

출력 일자: 2003/12/3

한 게이트 연결부를 형성하는 단계를 포함하는 박막 트랜지스터 기판의 다결정 규소 박막 트랜지스터 형성 방법.

【청구항 5】

제4항에서,

상기 제1 부분은 상기 N형 활성층 또는 P형 활성층과 중첩되도록 형성하고,

상기 제2 부분은 상기 N형 활성층 및 P형 활성층과 중첩되지 않도록 형성하는 박막 트랜지스터 기판의 다결정 규소 박막 트랜지스터 형성 방법.

【청구항 6】

제4항에서,

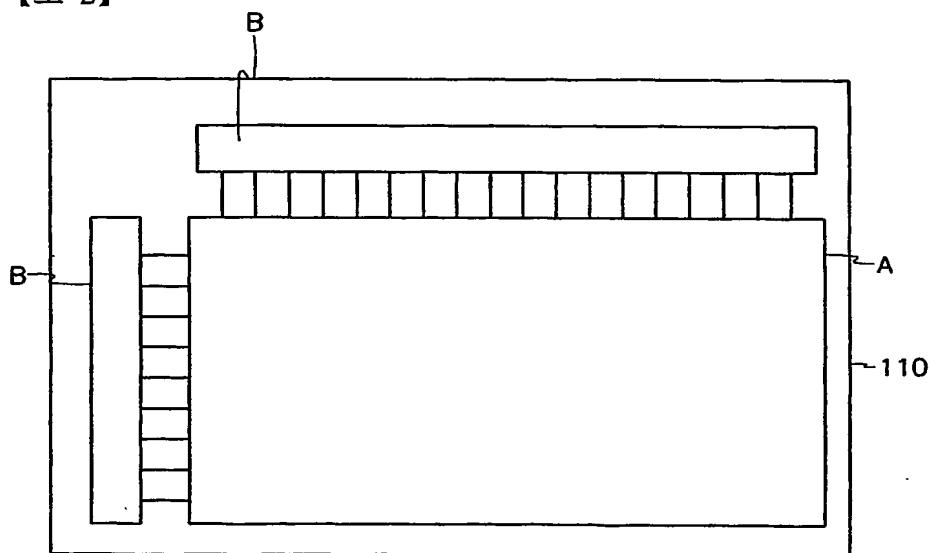
상기 N형 활성층을 형성하는 단계 전에 상기 P형 활성층을 형성하는 단계를 진행하는 박막 트랜지스터 기판의 다결정 규소 박막 트랜지스터 형성 방법.

【도면】

【도 1】



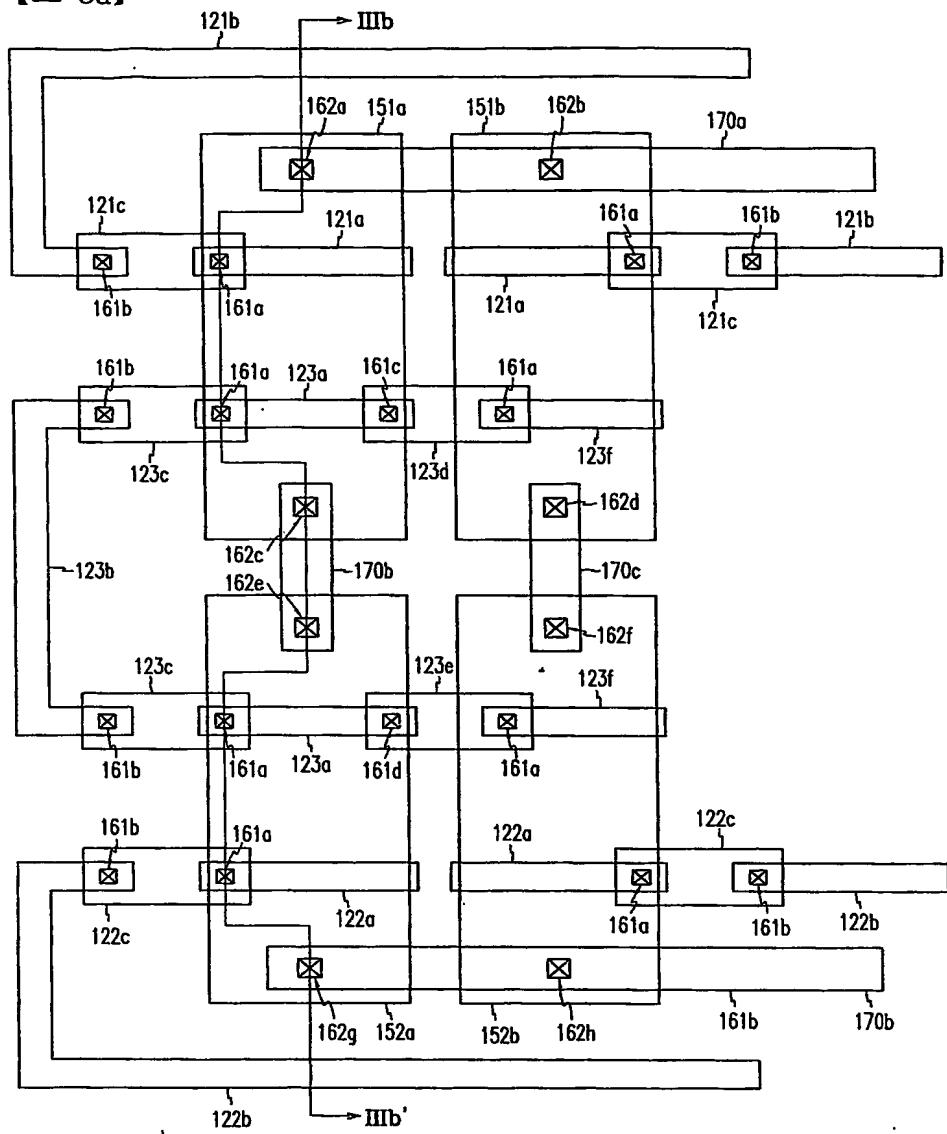
【도 2】



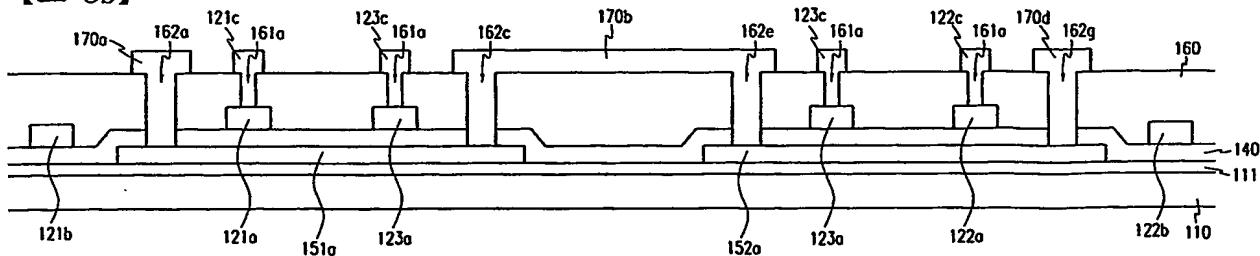
10 070708

출력 일자: 2003/12/3

【도 3a】



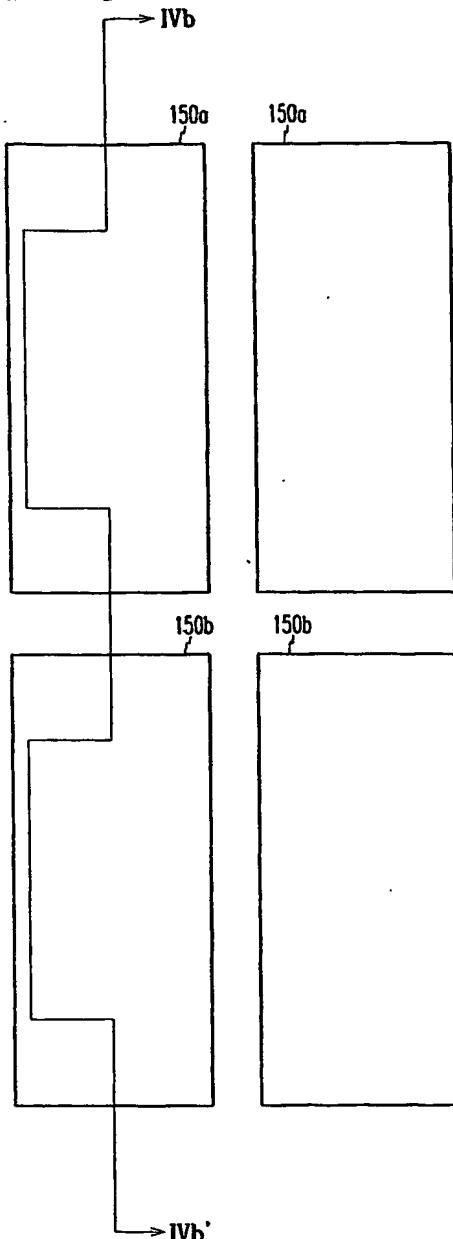
【도 3b】



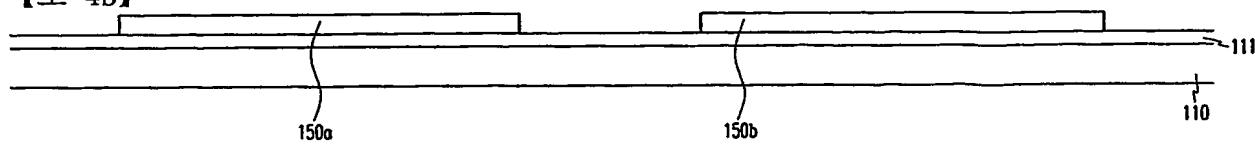
10 070708

출력 일자: 2003/12/3

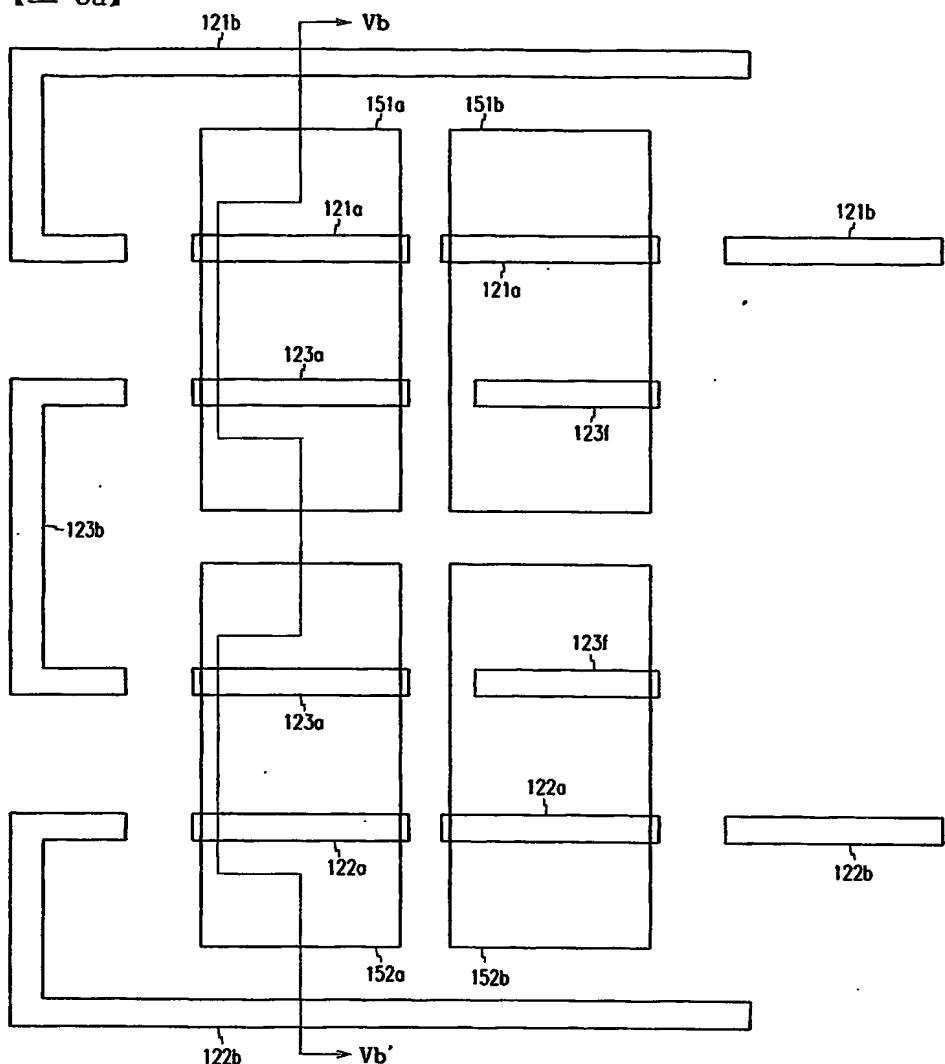
【도 4a】



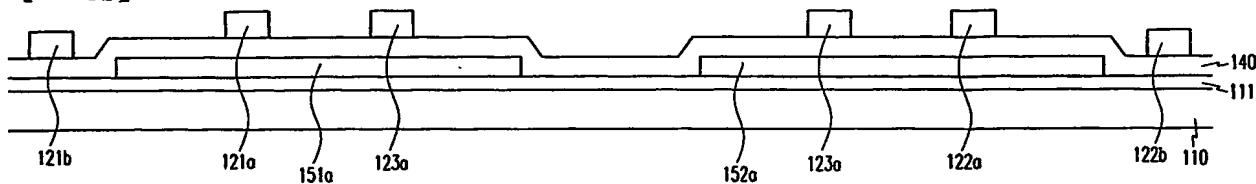
【도 4b】



【도 5a】



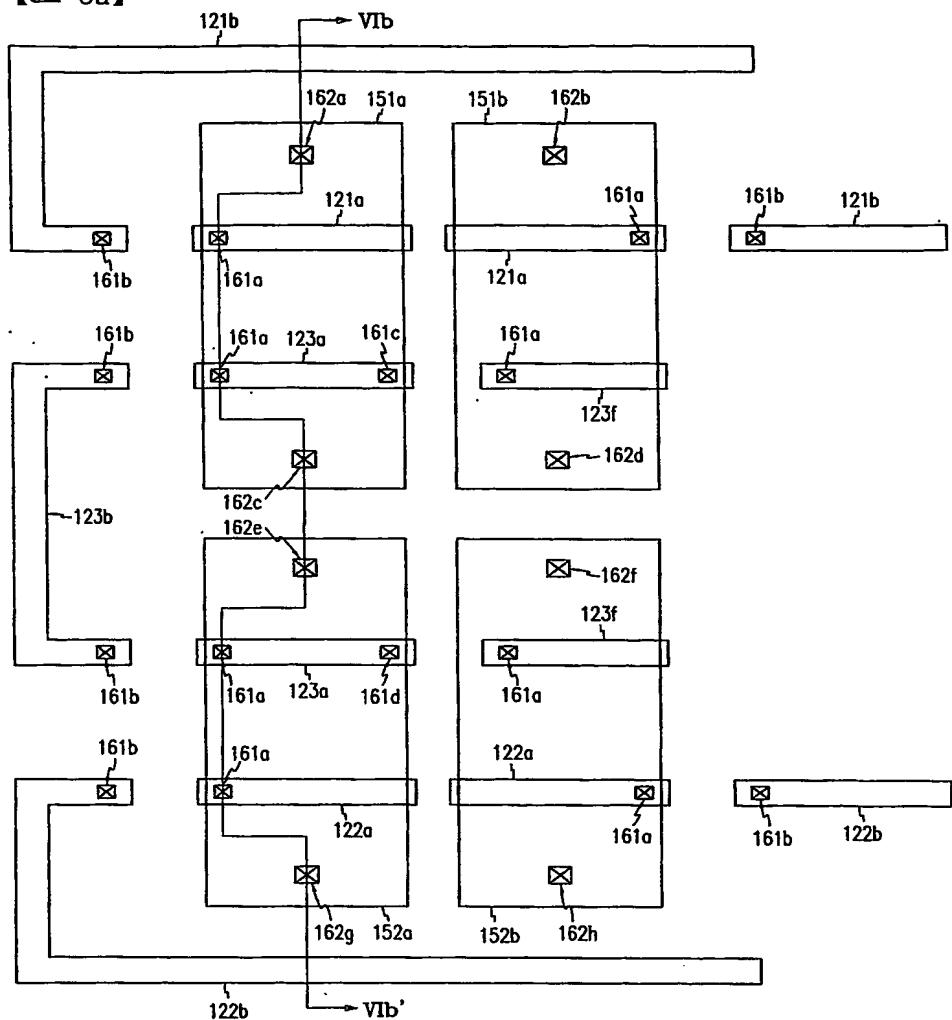
【도 5b】



10 070708

출력 일자: 2003/12/3

【도 6a】



【도 6b】

